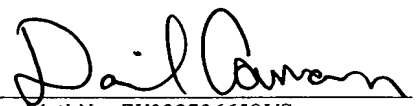


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Hiroshi Yamazaki  
Serial No.:  
Conf. No.:  
Filed: 3/25/2004  
For: LIQUID CRYSTAL  
DISPLAY DEVICE  
Art Unit:  
Examiner:

*I hereby certify that this paper is being deposited with the United States Postal Service as EXPRESS MAIL in an envelope addressed to: MS Patent Application, Commissioner for Patents, Alexandria, VA 22313-1450, on this date.*

3/25/04  
Date

  
Express Mail No. EV032736658US

CLAIM FOR PRIORITY

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant claims foreign priority benefits under 35 U.S.C., § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 2003-093903, filed March 31, 2003

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By



Patrick G. Burns  
Registration No. 29,367

March 25, 2004

300 South Wacker Drive  
Suite 2500  
Chicago, Illinois 60606  
Telephone: 312.360.0080  
Facsimile: 312.360.9315

1324.70190  
312.360.0080

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

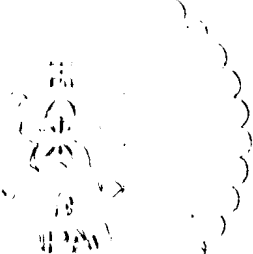
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年    3 月 3 1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 9 3 9 0 3  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 9 3 9 0 3 ]

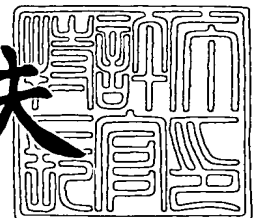
出      願      人            富士通ディスプレイテクノロジーズ株式会社  
Applicant(s):



2 0 0 4 年    2 月 2 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 1 2 2 2 9



【書類名】 特許願

【整理番号】 0350412

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133  
G09G 3/36

【発明の名称】 液晶表示装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
ディスプレイテクノロジーズ株式会社内

【氏名】 山崎 浩

【特許出願人】

【識別番号】 302036002

【氏名又は名称】 富士通ディスプレイテクノロジーズ株式会社

【代理人】

【識別番号】 100092174

【弁理士】

【氏名又は名称】 平戸 哲夫

【電話番号】 03-3374-7129

【手数料の表示】

【予納台帳番号】 030993

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213533

【プルーフの要否】 要



【書類名】 明細書  
【発明の名称】 液晶表示装置  
【特許請求の範囲】

【請求項 1】

液晶表示パネルと、  
該液晶表示パネルのデータ線を駆動する複数のデータドライバ I C と、  
該複数のデータドライバ I C に第 1 のクロック信号を伝送する第 1 のクロック信号線を有する液晶表示装置であって、  
前記第 1 のクロック信号線と平行に設けられ、前記第 1 のクロック信号と反転関係にある第 2 のクロック信号を伝送する第 2 のクロック信号線と、  
前記第 1、第 2 のクロック信号をそれぞれ前記第 1、第 2 のクロック信号線に出力するタイミングコントローラと、  
前記第 2 のクロック信号線の負荷容量を前記第 1 のクロック信号線の負荷容量と同一ないし略同一とするための負荷手段を有することを特徴とする液晶表示装置。

【請求項 2】

前記負荷手段は、前記データドライバ I C にダミー端子を設け、該ダミー端子に前記第 2 のクロック信号線を接続することにより構成されているか、又は、キャパシタを終端回路に含めて構成されていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

奇数ドットのデータ信号を伝送する奇数ドット用データ信号線と、  
偶数ドットのデータ信号を伝送する偶数ドット用データ信号線を有し、  
前記タイミングコントローラは、各水平ライン毎に、前記奇数ドットのデータ信号と前記偶数ドットのデータ信号を 180° ずらして出力し、  
前記データドライバ I C は、前記第 1、第 2 のクロック信号を入力し、前記奇数ドットのデータ信号を前記第 1 のクロック信号でラッチし、前記偶数ドットのデータ信号を前記第 2 のクロック信号でラッチすることを特徴とする請求項 1 記載の液晶表示装置。

**【請求項 4】**

前記タイミングコントローラは、各色の各ビットの奇数ドットのデータ信号と同一ビットの偶数ドットのデータ信号が隣り合うようにデータ信号用の出力ピンを配置していることを特徴とする請求項 3 記載の液晶表示装置。

**【請求項 5】**

液晶表示パネルと、

該液晶表示パネルのデータ線を駆動する複数のデータドライバ IC と、

該複数のデータドライバ IC に第 1 のクロック信号を伝送する第 1 のクロック信号線を有する液晶表示装置であって、

前記第 1 のクロック信号線と平行に設けられ、前記第 1 のクロック信号と反転関係にある第 2 のクロック信号を伝送する第 2 のクロック信号線と、

前記第 1、第 2 のクロック信号をそれぞれ前記第 1、第 2 のクロック信号線に出力するタイミングコントローラを有し、

前記データドライバ IC は、前記第 1、第 2 のクロック信号を入力し、前記第 1 又は第 2 のクロック信号でデータ信号をラッチすることが選択可能とされていることを特徴とする液晶表示装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、パーソナルコンピュータのモニター等に用いられる液晶表示装置に関する。

**【0002】**

近年、例えば、液晶表示装置を用いるパーソナルコンピュータにおいては、その普及に伴い、市場では大画面化・高精細化が強く望まれており、このため、液晶表示部を拡大すると同時に、各種駆動回路を高性能化する必要がある。

**【0003】****【従来の技術】**

図 19 は従来の液晶表示装置の一例の要部を示す概略的構成図である。図 19 中、1 はアクティブマトリクス型の液晶表示パネル、2-1、2-2、2-9、

2-10は液晶表示パネル1に形成されているデータ線にデータ信号を出力するデータドライバICであり、データドライバIC2-3～2-8は図示を省略している。

#### 【0004】

3-1～3-4は液晶表示パネル1に形成されているゲート線にゲート信号を出力するゲートドライバIC、4はパーソナルコンピュータ本体から与えられるデータ信号、クロック信号、同期信号等を入力してデータドライバIC2-1～2-10及びゲートドライバIC3-1～3-4に各種の信号を供給するタイミングコントローラである。

#### 【0005】

5はタイミングコントローラ4が実装された制御回路基板、6はデータドライバIC2-1～2-10に対応して設けられている配線基板、7はゲートドライバIC3-1～3-4に対応して設けられている配線基板である。

#### 【0006】

8はタイミングコントローラ4から出力されるデータ信号をデータドライバIC2-1～2-10に伝送するデータ信号線、9はタイミングコントローラ4から出力されるクロック信号をデータドライバIC2-1～2-10に伝送するクロック信号線である。

#### 【0007】

10はクロック信号線9の終端部に設けられた終端回路である。(g)は終端回路10の回路構成を示しており、11は電源電圧VCC(例えば、3.3V)を供給する電源線、12は接地電圧GNDを供給する接地線、13、14は終端抵抗である。

#### 【0008】

データドライバIC2-1～2-10は、クロック信号を基準信号として液晶表示パネル1のデータ線を駆動するが、大画面化・高精細化に伴って画素数が増加し、全ての画素にデータ電圧を書き込むために、クロック信号を高速化せざるを得ない状況となった。このため、クロック信号の高速化を原因とする電磁波妨害(EMI)が問題となり、その対策が重要となっている。

**【0009】**

従来、クロック信号を原因とする電磁波放射を低減させる技術として、例えば、位相が反転した2相のクロック信号を用い、それぞれのクロック信号を遅延させて時間的に立ち上がりタイミングのずれた複数のクロック信号を生成して各回路ブロックに異なるクロック信号を供給し、同時スイッチング数を減らす技術が提案されている（特許文献1参照）。

**【0010】**

**【特許文献1】** 特開2001-84053号公報

**【0011】****【発明が解決しようとする課題】**

しかしながら、特許文献1に記載の技術を図19に示す従来の液晶表示装置に適用したとしても、構造上、立ち上がりタイミングのずれた複数のクロック信号を伝送するためのクロック信号線は長くなってしまう。このため、クロック信号線のアンテナ化によって、電磁波放射を効果的に低減することができないという問題点があった。

**【0012】**

本発明は、かかる点に鑑み、クロック信号やデータ信号を原因とする電磁波放射を効果的に低減することができるようにした液晶表示装置を提供することを目的とする。

**【0013】****【課題を解決するための手段】**

本発明中、第1発明は、液晶表示パネルと、液晶表示パネルのデータ線を駆動する複数のデータドライバICと、これら複数のデータドライバICに第1のクロック信号を伝送する第1のクロック信号線を有する液晶表示装置であって、第1のクロック信号線と平行に設けられ、第1のクロック信号と反転関係にある第2のクロック信号を伝送する第2のクロック信号線と、第1、第2のクロック信号をそれぞれ第1、第2のクロック信号線に出力するタイミングコントローラと、第2のクロック信号線の負荷容量を第1のクロック信号線の負荷容量と同一ないし略同一とするための負荷手段を有するというものである。

**【0014】**

第1発明によれば、第1のクロック信号を伝送する第1のクロック信号線の負荷容量と、第1のクロック信号と反転関係にある第2のクロック信号を伝送する第2のクロック信号線の負荷容量を同一ないし略同一とすることができるので、第1、第2のクロック信号間に相殺効果が生まれ、クロック信号を原因とする電磁波放射を低減することができる。

**【0015】**

本発明中、第2発明は、液晶表示パネルと、液晶表示パネルのデータ線を駆動する複数のデータドライバICと、これら複数のデータドライバICに第1のクロック信号を伝送する第1のクロック信号線を有する液晶表示装置であって、第1のクロック信号線と平行に設けられ、第1のクロック信号と反転関係にある第2のクロック信号を伝送する第2のクロック信号線と、第1、第2のクロック信号をそれぞれ第1、第2のクロック信号線に出力するタイミングコントローラを有し、データドライバICは、第1、第2のクロック信号を入力し、第1又は第2のクロック信号でデータ信号をラッチすることが選択可能とされているというものである。

**【0016】**

第2発明によれば、例えば、半数のデータドライバICは第1のクロック信号でデータ信号をラッチし、残りの半数のデータドライバICは第2のクロック信号でデータ信号をラッチするように制御することにより、第1、第2のクロック信号線の負荷容量を同一ないし略同一とすることができるので、第1、第2のクロック信号間に相殺効果が生まれ、クロック信号を原因とする電磁波放射を低減することができる。

**【0017】****【発明の実施の形態】**

以下、図1～図18を参照して、本発明の第1実施形態～第5実施形態について説明する。

**【0018】**

(第1実施形態・・・図1～図8)



図 1 は本発明の第 1 実施形態の要部を示す概略的構成図である。本発明の第 1 実施形態は、図 19 に示すデータドライバ IC 2-1 ~ 2-10 と構成の異なるデータドライバ IC 15-1 ~ 15-10 を備えている（但し、データドライバ IC 15-3 ~ 15-8 は図示を省略している）。データドライバ IC 15-1 ~ 15-10 は、それぞれダミー端子 16-1 ~ 16-10 を備え、その他については、従来周知のように構成されている。

#### 【0019】

また、図 19 に示すタイミングコントローラ 4 と回路構成の異なるタイミングコントローラ 17 を備えている。タイミングコントローラ 17 は、クロック信号と、このクロック信号と反転関係にあるクロック信号を出力するように構成され、その他については、従来周知のように構成されている。

#### 【0020】

また、クロック信号線 9 と平行して、タイミングコントローラ 17 から出力される反転クロック信号を伝送する反転クロック信号線 18 を備えると共に、反転クロック信号線 18 の終端部に終端回路 19 を備えている。（h）は終端回路 19 の回路構成を示しており、20、21 は終端抵抗である。

#### 【0021】

そして、本実施形態では、クロック信号線 9 は、データドライバ IC 15-1 ~ 15-10 の正規のクロック入力端子に接続され、反転クロック信号線 18 は、データドライバ IC 15-1 ~ 15-10 のダミー端子 16-1 ~ 16-10 に接続されており、その他については、図 19 に示す従来の液晶表示装置と同様に構成されている。

#### 【0022】

図 2、図 3 は本発明の第 1 実施形態の効果を検証するために本発明者が実行した第 1 シミュレーションを説明するための図である。図 2 は第 1 シミュレーションに使用した第 1 クロック信号線モデルを示す図であり、（A）は概略的斜視図、（B）は概略的断面図である。

#### 【0023】

図 2 A 中、22 はプリント基板、23 はクロック信号源 IC、24 はクロック

信号源 IC 23 から出力されるクロック信号を伝送するクロック信号線、25 はクロック信号線 24 の終端部に設けられた終端回路であり、26、27 は終端抵抗である。

#### 【0024】

28 はプリント基板 22 と平行に配置されたプリント基板、29 はクロック信号源 IC 23 が出力するクロック信号と反転関係にある反転クロック信号を出力する反転クロック信号源 IC である。

#### 【0025】

30 は反転クロック信号源 IC 29 から出力される反転クロック信号を伝送する反転クロック信号線、31 は反転クロック信号線 30 の終端部に設けられた終端回路であり、終端回路 25 と同様に構成されている。

#### 【0026】

プリント基板 22、28 は、寸法を  $210\text{ mm} \times 20\text{ mm}$ 、間隔を  $10\text{ mm}$  とし、クロック信号線 24 及び反転クロック信号線 30 は、長さを  $160\text{ mm}$ 、幅を  $0.1\text{ mm}$  とし、終端抵抗 26、27 は、抵抗値を  $120\ \Omega$  としている。

#### 【0027】

図 2B 中、プリント基板 22 において、32 はクロック信号層、33 は GND ベタ層であり、クロック信号線 24 と GND ベタ層 33 との間の誘電体層は図示を省略している。

#### 【0028】

プリント基板 28 において、34 は反転クロック信号層、35 は GND ベタ層であり、反転クロック信号線 30 と GND ベタ層 35 との間の誘電体層は図示を省略している。なお、クロック信号層 32、反転クロック信号層 34 及び GND ベタ層 33、35 は、層厚を  $0.1\text{ mm}$  としている。

#### 【0029】

このように構成されたクロック信号線モデルにおいては、クロック信号線 24 の負荷容量と反転クロック信号線 30 の負荷容量は同一となるので、第 1 発明の第 1 実施形態の効果を検証することができる。

#### 【0030】

図3は第1シミュレーションの結果を示す図である。第1シミュレーションでは、図2に示す第1クロック信号線モデルの電磁波放射量（ノイズレベル）とプリント基板22が一枚のみの場合の電磁波放射量を比較した結果を示している。第1シミュレーションでは、690MHz近傍で電磁波放射量が逆転している以外では、図2に示すクロック信号線モデルの方が全体的に電磁波放射量が減少していることが分かる。

#### 【0031】

図4、図5は本発明の第1実施形態の効果を検証するために本発明者が実行した第2シミュレーションを説明するための図である。図4は第2シミュレーションに使用したクロック信号線モデルを示す図であり、(A)は第2クロック信号線モデルの概略的斜視図、(B)は第2クロック信号線モデルの概略的断面図、(C)は第3クロック信号線モデルの概略的斜視図、(D)は第3クロック信号線モデルの概略的断面図である。

#### 【0032】

図4A中、36はプリント基板、37はクロック信号源IC、38はクロック信号源IC37から出力されるクロック信号を伝送するクロック信号線、39はクロック信号線38の終端部に設けられた終端回路である。

#### 【0033】

図4B中、40はクロック信号層、41は反転クロック信号層、42はクロック信号源IC37が出力するクロック信号と反転関係にある反転クロック信号を出力する反転クロック信号源（図示せず）から出力される反転クロック信号を伝送する反転クロック信号線であり、クロック信号線38と平行、同一長に形成されている。

#### 【0034】

43はGNDベタ層であり、クロック信号層40と反転クロック信号層41との間及び反転クロック信号層41とGNDベタ層43との間の誘電体層は、図示を省略している。反転クロック信号線42に対応して設けられている終端回路も図示を省略している。なお、クロック信号層40、反転クロック信号層41及びGNDベタ層43は、層厚を0.1mmとしている。

**【0035】**

図4C中、44はプリント基板、45はクロック信号源IC、46はクロック信号源IC45から出力されるクロック信号を伝送するクロック信号線、47はクロック信号線46の終端部に設けられた終端回路である。

**【0036】**

48はクロック信号源IC45が出力するクロック信号と反転関係にある反転クロック信号を出力する反転クロック信号源IC、49は反転クロック信号源IC48から出力される反転クロック信号を伝送する反転クロック信号線、50は反転クロック信号線49の終端部に設けられた終端回路である。

**【0037】**

図4D中、51はクロック信号層、52はGNDベタ層であり、クロック信号層51とGNDベタ層52との間の誘電体層は、図示を省略している。なお、クロック信号層51及びGNDベタ層52は、層厚を0.1mmとし、クロック信号線46と反転クロック信号線49との間隔は10mmとしている。また、クロック信号及び反転クロック信号の周波数は30MHzとしている。

**【0038】**

図5は第2シミュレーションの結果を示す図である。反転クロック無しの場合に比較して、図4Aに示す第2クロック信号線モデル（隣接層走行モデル）では全周波数領域で電磁波放射量が小さく、図4Bに示す第3クロック信号線モデル（同一層走行モデル）でも390MHz未満では電磁波放射量が最大で5dB多いものの、390MHz以上では、反転クロック信号無しよりも電磁波放射量が少ない結果となった。

**【0039】**

図6、図7は本発明の第1実施形態の効果を検証するために本発明者が実行した第3シミュレーションを説明するための図である。図6は第3シミュレーションに使用したクロック信号線モデルを示す概略的断面図であり、(A)は従来のクロック信号線モデルの一例、(B)は従来のクロック信号線モデルの他の例、(C)は第4クロック信号線モデル、(D)は第5クロック信号線モデル、(E)は第6クロック信号線モデル、(F)は第7クロック信号線モデルである。

**【0040】**

図6A中、53はGNDベタ層、54はクロック信号層である。図6B中、55はGNDベタ層、56はクロック信号層、57はVCCベタ層である。図6C中、58はGNDベタ層、59はクロック信号層、60は反転クロック信号層である。

**【0041】**

図6D中、61はGNDベタ層、62はクロック信号層、63は反転クロック信号層、64はVCCベタ層である。図6E中、65はGNDベタ層、66はクロック信号層、67はGNDベタ層、68は反転クロック信号層である。図6F中、69はGNDベタ層、70はクロック信号層、71はGNDベタ層、72は反転クロック信号層、73はVCCベタ層である。

**【0042】**

図7は第3シミュレーションの結果を示す図である。図6に示した各々のモデルのシミュレーション結果である。図6Dに示す第5クロック信号線モデル及び図6Fに示す第7クロック信号線モデルがほぼ同程度で、図6A、図6Bに示す従来のクロック信号線モデルの一例及び他の例と比べて、全周波数領域で電磁波放射量（ノイズレベル）が減少していることが分かる。

**【0043】**

これは、基板構成がストリップライン化（信号層の上下層がGNDまたは電源のベタ層）とされ、しかも、反転クロック信号により相殺効果が生まれたからである。もし、ストリップライン化のみの場合は、図6A、図6Bに示す従来のクロック信号線モデルの一例及び他の例では、電磁波放射低減の格段な効果を得ることができない。

**【0044】**

図8、図9は本発明の第1実施形態の効果を検証するために本発明者が実行した第4シミュレーションを説明するための図である。図8は第4シミュレーションに使用した第8クロック信号線モデルを示す図である。

**【0045】**

図8中、74～78は5 pFのキャパシタであり、第8クロック信号線モデル

は、図 4 A に示す第 2 クロック信号線モデルにキャパシタ 74～78 を接続したものである。なお、反転クロック信号線及び反転クロック信号線に接続したキャパシタは図示を省略している。なお、5 pF はデータドライバ IC のクロック入力容量である。

#### 【0046】

図 9 は第 4 シミュレーションの結果を示す図である。図 9 では、反転クロック信号線には容量を付加せず、クロック信号線にのみ容量を追加したモデルと、第 2 クロック信号線モデルと、第 8 クロック信号線モデルのシミュレーション結果を示している。

#### 【0047】

第 2 クロック信号線モデルと比較して、クロック信号線にのみ容量を追加したモデルは放射量が増加してしまうが、第 8 クロック信号線モデルの場合には第 2 クロック信号線モデルよりも電磁波放射量が減少した。これによって、クロック信号線と反転クロック信号線の負荷条件を同一にする必要があることが分かる。

#### 【0048】

以上のように、本発明の第 1 実施形態によれば、クロック信号線 9 に平行して反転クロック信号線 18 を設けると共に、反転クロック信号線 18 をデータドライバ IC 15-1～15-10 のダミー端子 16-1～16-10 に接続し、クロック信号の負荷容量と反転クロック信号の負荷容量を略同一とし、タイミングコントローラ 17 からクロック信号線 9 及び反転クロック信号線 18 に対してそれぞれクロック信号及び反転クロック信号を出力するようにしたので、クロック信号と反転クロック信号との間に相殺効果を生じさせ、クロック信号を原因とする電磁波放射を低減することができる。

#### 【0049】

(第 2 実施形態・図 10)

図 10 は本発明の第 2 実施形態の要部を示す概略的構成図である。本発明の第 2 実施形態は、図 1 に示すタイミングコントローラ 17 を備えている。また、クロック信号線 9 と平行して、タイミングコントローラ 17 から出力される反転クロック信号を伝送する反転クロック信号線 79 を設けると共に、反転クロック信

号線 79 の終端部に終端回路 80 を設けている。

【0050】

(i) は終端回路 80 の回路構成を示しており、81、82 は終端抵抗、83、84 は反転クロック信号線 79 の負荷容量がクロック信号線の負荷容量と同一ないし略同一となるように設けられたキャパシタである。キャパシタ 83、84 の合成容量値がデータドライバ IC 2-1 ~ 2-10 のクロック入力容量の合計値とされている。その他については、図 19 に示す従来の液晶表示装置と同様に構成されている。

【0051】

以上のように、本発明の第 2 実施形態によれば、クロック信号線 9 に平行して反転クロック信号線 79 を設けると共に、終端回路 80 にキャパシタ 83、84 を設け、クロック信号の負荷容量と反転クロック信号の負荷容量を同一ないし略同一とし、タイミングコントローラ 17 からクロック信号線 9 及び反転クロック信号線 79 に対してそれぞれクロック信号及び反転クロック信号を出力するようにしたので、クロック信号と反転クロック信号との間に相殺効果を生じさせ、クロック信号を原因とする電磁波放射を低減することができる。

【0052】

(第 3 実施形態・図 11 ~ 図 14)

図 11 は本発明の第 3 実施形態の要部を示す概略的構成図である。図 11 中、85 は奇数ドットのデータ信号を伝送する奇数ドット用データ信号線、86 は偶数ドットのデータ信号を伝送する偶数ドット用データ信号線である。

【0053】

本発明の第 3 実施形態は、図 1 に示すタイミングコントローラ 17 及びデータドライバ IC 15-1 ~ 15-10 と構成の異なるタイミングコントローラ 87 及びデータドライバ IC 88-1 ~ 88-10 を設けている。但し、データドライバ IC 88-3 ~ 88-8 は図示を省略している。

【0054】

タイミングコントローラ 87 は、偶数ドットのデータ信号を奇数ドットのデータ信号に対して位相を 180° 遅延させて出力するように構成され、その他につ

いては、図 1 に示すタイミングコントローラ 17 と同様に構成されている。

【0055】

データドライバ IC 88-1 ～ 88-10 は、クロック信号及び反転クロック信号を入力するように構成されている。その他については、図 1 に示す第 1 発明の第 1 実施形態と同様に構成されている。

【0056】

図 12 はデータドライバ IC 88-1 ～ 88-10 の構成を示すブロック図である。図 12 中、CLK はクロック信号、 $\overline{\text{CLK}}$  は反転クロック信号、R00 ～ R70 は奇数ドットの赤色データ信号、G00 ～ G70 は奇数ドットの緑色データ信号、B00 ～ B70 は奇数ドットの青色データ信号、R0E ～ R7E は偶数ドットの赤色データ信号、G0E ～ G7E は偶数ドットの緑色データ信号、B0E ～ B7E は偶数ドットの青色データ信号、VH0 ～ VH255、VL0 ～ VL255 は基準電圧である。

【0057】

89 はクロック信号 CLK の立ち上がりタイミングに同期して奇数ドットのデータ信号 R00 ～ R70、G00 ～ G70、B00 ～ B70 をラッチするデータラッチ、90 は反転クロック信号  $\overline{\text{CLK}}$  の立ち上がりタイミングに同期して偶数ドットのデータ信号 R0E ～ R7E、G0E ～ G7E、B0E ～ B7E をラッチするデータラッチである。

【0058】

91 はクロック信号 CLK 及び反転クロック信号  $\overline{\text{CLK}}$  をシフトするシフトレジスタ、92 はシフトレジスタ 91 の並列出力に同期して奇数ドットのデータ信号 R00 ～ R70、G00 ～ G70、B00 ～ B70 と偶数ドットのデータ信号 R0E ～ R7E、G0E ～ G7E、B0E ～ B7E を交互にサンプリングして記憶するサンプリングメモリである。

【0059】

93 は基準電圧 VH0 ～ VH255、VL0 ～ VL255 を  $\gamma$  補正した 256 × 2 レベルの電圧を発生する基準電圧発生回路、94 はサンプリングメモリ 92 が記憶した各ドットのデータ信号をアナログ化する D/A コンバータ、95 は 2



56階調×2のアナログ信号を出力する出力回路である。

【0060】

図13は本発明の第3実施形態の動作を示すタイミングチャートである。タイミングコントローラ87から出力される奇数ドットのデータ信号ODD、偶数ドットのデータ信号EVEN、クロック信号CLK、反転クロック信号／CLKを示している。

【0061】

本発明の第3実施形態においては、データドライバIC88-1～88-10は、奇数ドットのデータ信号ODDをクロック信号CLKの立ち上がりタイミングでラッチし、偶数ドットのデータ信号EVENを反転クロック信号／CLKの立ち上がりタイミングでラッチすることになる。

【0062】

この結果、データ信号の同時スイッチング数を図19に示す従来の液晶表示装置の場合の1/2とすることができる。ちなみに、図14は図19に示す従来の液晶表示装置の動作を示すタイミングチャートである。

【0063】

したがって、本発明の第3実施形態によれば、クロック信号及び反転クロック信号を共にデータドライバIC88-1～88-10に入力することにより、クロック信号線9の負荷容量と反転クロック信号線18の負荷容量を同一ないし略同一とすることができるので、クロック信号と反転クロック信号との間に相殺効果を生じさせ、クロック信号を原因とする電磁波放射の低減を図ることができる。また、データ信号の同時スイッチング数を図19に示す従来の液晶表示装置の場合の1/2とすることができるので、データ信号の同時スイッチングにより発生する電磁波放射の低減を図ることができる。

【0064】

(第4実施形態・・図15)

図15は本発明の第4実施形態の要部を示す概略的構成図である。本発明の第5実施形態は、図11に示すタイミングコントローラ87とピン配置が異なるタイミングコントローラ108を備えると共に、図11に示すデータドライバIC

88-1～88-10とピン配置の異なるデータドライバIC109-1～109-10を備えている。但し、データドライバIC109-2～109-10は図示を省略している。

#### 【0065】

タイミングコントローラ108は、各色の各ビットの奇数ドットのデータ信号と同一ビットの偶数ドットのデータ信号が隣り合うようにデータ信号用の出力ピンを配置している。即ち、赤色データ信号RiO、RiE用の出力ピン（但し、 $i=0, 1, \dots, 7$ ）、緑色データ信号GiO、GiE用の出力ピン、青色データ信号BiO、BiE用の出力ピンは、それぞれ隣り合うように配置されている。

#### 【0066】

データドライバIC109-1～109-10は、各色の各ビットの奇数ドットのデータ信号と同一ビットの偶数ドットのデータ信号が隣り合うようにデータ信号用の入力ピンを配置している。即ち、赤色データ信号RiO、RiE用の出力ピン、緑色データ信号GiO、GiE用の入力ピン、青色データ信号BiO、BiE用の入力ピンは、それぞれ隣り合うように配置されている。

#### 【0067】

そこで、また、各色の各ビットの奇数ドットのデータ信号と同一ビットの偶数ドットのデータ信号が隣り合うようにデータ信号線を配置することができる。即ち、赤色データ信号RiO、RiE用のデータ信号線、緑色データ信号GiO、GiE用のデータ信号線、青色データ信号BiO、BiE用のデータ信号線を、それぞれ隣り合うように配置されている。その他については、図11に示す本発明の第3実施形態と同様に構成されている。

#### 【0068】

なお、図16は図19に示す従来の液晶表示装置の一部分の概略的構成図であり、タイミングコントローラ4のデータ信号用の出力ピンの配置、データドライバIC2-1のデータ信号用の入力ピンの配置及びデータ信号線の配置を示している。

#### 【0069】

本発明の第4実施形態によれば、本発明の第3実施形態と同様に、クロック信号を原因とする電磁波放射の低減を図ることができると共に、各色の各ビットの奇数ドットのデータ信号と同一ビットの偶数ドットのデータ信号が隣り合うようにデータ信号線を配置しているので、データ信号の同時スイッチングにより発生する電磁波放射の低減を本発明の第3実施形態以上とすることができる。

#### 【0070】

(第5実施形態・・・図17、図18)

図17は本発明の第5実施形態の要部を示す概略的構成図である。本発明の第5実施形態は、図1に示すデータドライバIC15-1～15-10と構成の異なるデータドライバIC96-1～96-10を設けている。但し、データドライバ96-3～96-8は図示を省略している。

#### 【0071】

データドライバIC96-1～96-10は、クロック信号及び反転クロック信号を入力すると共に、選択信号によりクロック信号又は反転クロック信号を選択できるように構成されている。その他については、図1に示す本発明の第1実施形態と同様に構成されている。このような構成をとることにより、反転クロック信号線の負荷容量をクロック信号線の負荷容量と同一ないし略同一にすることができる。

#### 【0072】

図18はデータドライバIC96-1～96-10の構成を示すブロック図である。図18中、SLはクロック信号CLK又は反転クロック信号／CLKを選択する選択信号であり、データドライバIC96-1～96-10のそれぞれに独立に与えられるものである。

#### 【0073】

97はクロック信号CLKと選択信号SLとをAND処理するAND回路、98はAND回路97の出力と選択信号SLとをEXOR（排他的論理和）処理するEXOR回路である。

#### 【0074】

99は選択信号SLを反転するインバータ、100は反転クロック信号／CL

Kとインバータ99の出力とをAND処理するAND回路、101はEXOR回路98の出力とAND回路100の出力とをNOR処理して内部クロック信号I-CLKを出力するNOR回路である。

**【0075】**

102は内部クロック信号I-CLKの立ち上がりタイミングに同期して奇数ドットのデータ信号R00~R70、G00~G70、B00~B70と、偶数ドットのデータ信号R0E~R7E、G0E~G7E、B0E~B7Eとを交互にラッチするデータラッチである。

**【0076】**

103は内部クロック信号I-CLKをシフトするシフトレジスタ、104はシフトレジスタ102の並列出力に同期して奇数ドットのデータ信号R00~R70、G00~G70、B00~B70と、偶数ドットのデータ信号R0E~R7E、G0E~G7E、B0E~B7Eとを交互にサンプリングして記憶するサンプリングメモリである。

**【0077】**

105は基準電圧VH0~VH255、VL0~VL255を $\gamma$ 補正した2556×2レベルの電圧を発生する基準電圧発生回路、106はサンプリングメモリ104が記憶した各ドットのデータ信号をアナログ化するD/Aコンバータ、107は256階調×2のアナログ信号を出力する出力回路である。

**【0078】**

このように構成されたデータドライバICにおいては、選択信号SLをHレベルにする場合には、クロック信号CLKが選択され、選択信号SLをLレベルにする場合には、反転クロック信号 $\neg$ CLKが選択される。そこで、例えば、データドライバIC96-1、96-3、96-5、96-7、96-9は選択信号SLをHレベル、データドライバIC96-2、96-4、96-6、96-8、96-10は選択信号SLをLレベルにする。

**【0079】**

このようにすると、データドライバIC96-1、96-3、96-5、96-7、96-9は、クロック信号CLKの立ち上がりタイミングでデータ信号を

ラッチし、データドライバ IC 96-2、96-4、96-6、96-8、96-10 は、反転クロック信号 / CLK の立ち下がりタイミングでデータ信号をラッチすることになる。

#### 【0080】

以上のように、本発明の第 5 実施形態によれば、クロック信号の負荷容量と反転クロック信号の負荷容量を同一ないし略同一とすることができるので、クロック信号を原因とする電磁波放射を低減することができると共に、反転クロック信号線もデータ信号をデータドライバ IC 96-1 ~ 96-10 に取り込むために利用できる所以、無駄の無い配線を行うことができる。

#### 【0081】

なお、クロック信号の立ち上がりタイミングでデータ信号を取り込むように設定するデータドライバ IC と、反転クロック信号の立ち下がりタイミングでデータ信号を取り込むように設定するデータドライバ IC が同数個、交互に並ぶようにすることが、クロック信号を原因とする電磁波放射低減の効果が最大となる。更に、クロック信号入力ピンと反転クロック信号入力ピン間のピッチは小さいほうがより効果が大きい。

#### 【0082】

ここで、本発明を整理すると、本発明には、以下に述べる液晶表示装置、液晶表示装置用のデータドライバ IC 及び液晶表示装置用のタイミングコントローラが含まれる。

#### 【0083】

(付記 1) 液晶表示パネルと、該液晶表示パネルのデータ線を駆動する複数のデータドライバ IC と、該複数のデータドライバ IC に第 1 のクロック信号を伝送する第 1 のクロック信号線を有する液晶表示装置であって、前記第 1 のクロック信号線と平行に設けられ、前記第 1 のクロック信号と反転関係にある第 2 のクロック信号を伝送する第 2 のクロック信号線と、前記第 1、第 2 のクロック信号をそれぞれ前記第 1、第 2 のクロック信号線に出力するタイミングコントローラと、前記第 2 のクロック信号線の負荷容量を前記第 1 のクロック信号線の負荷容量と同一ないし略同一とするための負荷手段を有することを特徴とする液晶表示装

置。

【0084】

(付記2) 前記負荷手段は、前記データドライバICにダミー端子を設け、該ダミー端子に前記第2のクロック信号線を接続することにより構成されていることを特徴とする付記1記載の液晶表示装置。

【0085】

(付記3) 前記負荷手段は、キャパシタを終端回路に含めて構成されていることを特徴とする付記1記載の液晶表示装置。

【0086】

(付記4) 前記キャパシタは、前記データドライバICの第1のクロック信号の入力容量と同等の容量値を有することを特徴とする付記3記載の液晶表示装置。

【0087】

(付記5) 奇数ドットのデータ信号を伝送する奇数ドット用データ信号線と、偶数ドットのデータ信号を伝送する偶数ドット用データ信号線を有し、前記タイミングコントローラは、各水平ライン毎に、前記奇数ドットのデータ信号と前記偶数ドットのデータ信号を180°ずらして出力し、前記データドライバICは、前記第1、第2のクロック信号を入力し、前記奇数ドットのデータ信号を前記第1のクロック信号でラッチし、前記偶数ドットのデータ信号を前記第2のクロック信号でラッチすることを特徴とする付記1記載の液晶表示装置。

【0088】

(付記6) 前記タイミングコントローラは、各色の各ビットの奇数ドットのデータ信号と同一ビットの偶数ドットのデータ信号が隣り合うようにデータ信号用の出力ピンを配置していることを特徴とする付記5記載の液晶表示装置。

【0089】

(付記7) 液晶表示パネルと、該液晶表示パネルのデータ線を駆動する複数のデータドライバICと、該複数のデータドライバICに第1のクロック信号を伝送する第1のクロック信号線を有する液晶表示装置であって、前記第1のクロック信号線と平行に設けられ、前記第1のクロック信号と反転関係にある第2のクロック信号を伝送する第2のクロック信号線と、前記第1、第2のクロック信号を

それぞれ前記第 1、第 2 のクロック信号線に出力するタイミングコントローラを有し、前記データドライバ IC は、前記第 1、第 2 のクロック信号を入力し、前記第 1 又は第 2 のクロック信号でデータ信号をラッチすることが選択可能とされていることを特徴とする液晶表示装置。

#### 【0090】

(付記 8) 前記データドライバ IC は、各色の各ビットの奇数ドットのデータ信号と同一ビットの偶数ドットのデータ信号が隣り合うようにデータ信号用の入力ピンを配置していることを特徴とする付記 7 記載の液晶表示装置。

#### 【0091】

(付記 9) 第 1 のクロック信号と、該第 1 のクロック信号と反転関係にある第 2 のクロック信号を入力し、奇数ドットのデータ信号を前記第 1 のクロック信号でラッチし、偶数ドットのデータ信号を前記第 2 のクロック信号でラッチすることを特徴とする液晶表示装置用のデータドライバ IC。

#### 【0092】

(付記 10) 第 1 のクロック信号と、該第 1 のクロック信号と反転関係にある第 2 のクロック信号を入力し、前記第 1 又は第 2 のクロック信号でデータ信号をラッチすることが選択可能とされていることを特徴とする液晶表示装置用のデータドライバ IC。

#### 【0093】

(付記 11) 各水平ライン毎に、奇数ドットのデータ信号と偶数ドットのデータ信号を 180° ずらして出力することを特徴とする液晶表示装置用のタイミングコントローラ。

#### 【0094】

(付記 12) 各色の各ビットの奇数ドットのデータ信号と同一ビットの偶数ドットのデータ信号が隣り合うようにデータ信号用の出力ピンを配置していることを特徴とする液晶表示装置用のタイミングコントローラ。

#### 【0095】

#### 【発明の効果】

以上のように、本発明中、第 1 発明によれば、第 1 のクロック信号を伝送する

第1のクロック信号線の負荷容量と、第1のクロック信号と反転関係にある第2のクロック信号を伝送する第2のクロック信号線の負荷容量を同一ないし略同一とすることができるので、第1、第2のクロック信号間に相殺効果が生まれ、クロック信号を原因とする電磁波放射を低減することができる。

#### 【0096】

また、第2発明によれば、例えば、半数のデータドライバICは第1のクロック信号でデータ信号をラッチし、残りの半数のデータドライバICは第2のクロック信号でデータ信号をラッチするように制御することにより、第1、第2のクロック信号線の負荷容量を同一ないし略同一とすることができるので、第1、第2のクロック信号間に相殺効果が生まれ、クロック信号を原因とする電磁波放射を低減することができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1実施形態の要部を示す概略的構成図である。

##### 【図2】

本発明の第1実施形態の効果を検証するために本発明者が実行した第1シミュレーションに使用した第1クロック信号線モデルを示す図である。

##### 【図3】

本発明の第1実施形態の効果を検証するために本発明者が実行した第1シミュレーションの結果を示す図である。

##### 【図4】

本発明の第1実施形態の効果を検証するために本発明者が実行した第2シミュレーションに使用したクロック信号線モデルを示す図である。

##### 【図5】

本発明の第1実施形態の効果を検証するために本発明者が実行した第2シミュレーションの結果を示す図である。

##### 【図6】

本発明の第1実施形態の効果を検証するために本発明者が実行した第3シミュレーションに使用したクロック信号線モデルを示す概略的断面図である。



**【図 7】**

本発明の第 1 実施形態の効果を検証するために本発明者が実行した第 3 シミュレーションの結果を示す図である。

**【図 8】**

本発明の第 1 実施形態の効果を検証するために本発明者が実行した第 4 シミュレーションに使用した第 8 クロック信号線モデルを示す図である。

**【図 9】**

本発明の第 1 実施形態の効果を検証するために本発明者が実行した第 4 シミュレーションの結果を示す図である。

**【図 1 0】**

本発明の第 2 実施形態の要部を示す概略的構成図である。

**【図 1 1】**

本発明の第 3 実施形態の要部を示す概略的構成図である。

**【図 1 2】**

本発明の第 3 実施形態が備えるデータドライバ I C の構成を示すブロック図である。

**【図 1 3】**

本発明の第 3 実施形態の動作を示すタイミングチャートである。

**【図 1 4】**

図 1 9 に示す従来の液晶表示装置の動作を示すタイミングチャートである。

**【図 1 5】**

本発明の第 4 実施形態の要部を示す概略的構成図である。

**【図 1 6】**

図 1 9 に示す従来の液晶表示装置の一部分の概略的構成図である。

**【図 1 7】**

本発明の第 5 実施形態の要部を示す概略的構成図である。

**【図 1 8】**

本発明の第 5 実施形態が備えるデータドライバ I C の構成を示すブロック図である。

## 【図 1 9】

従来の液晶表示装置の一例の要部を示す概略的構成図である。

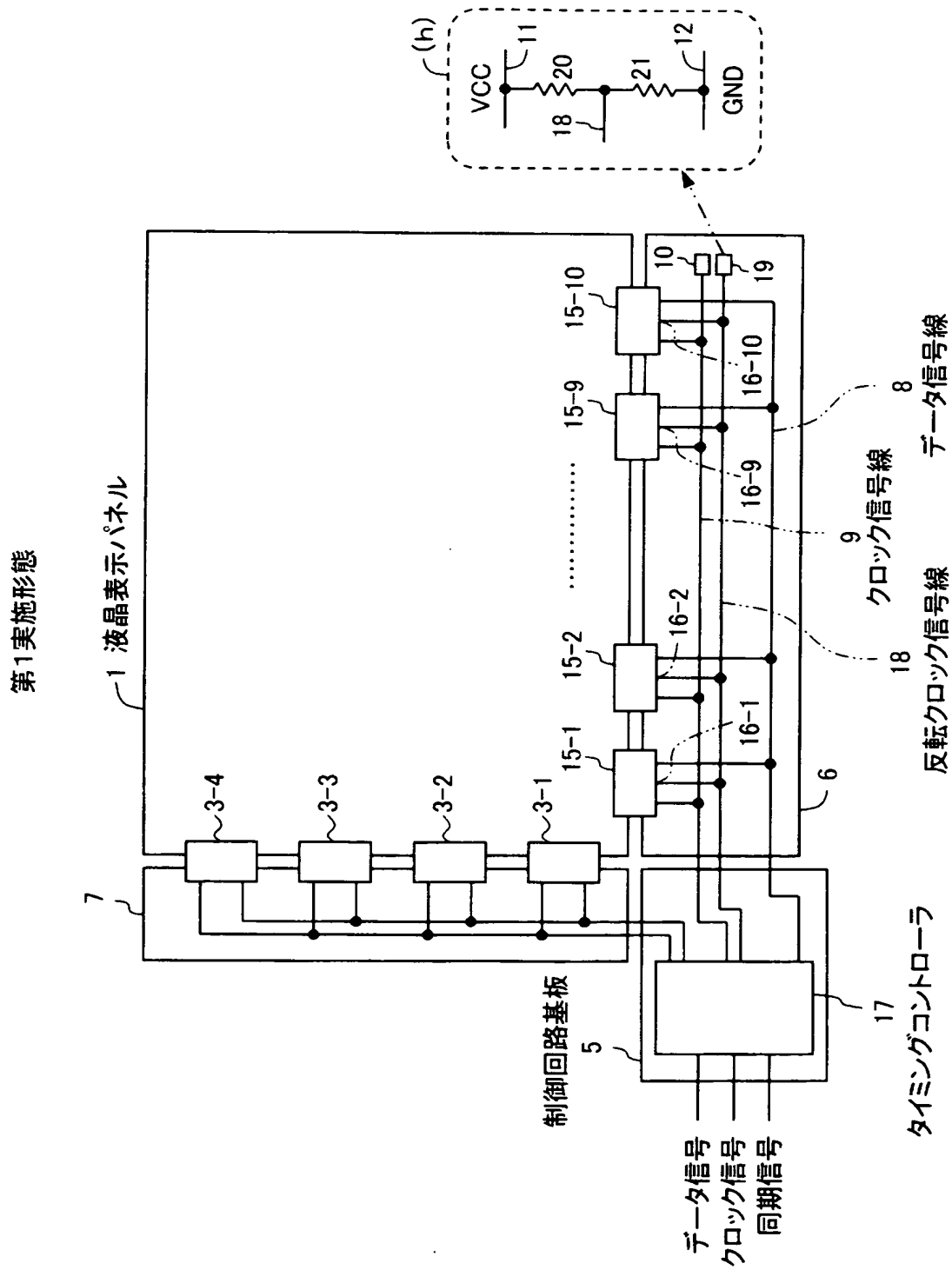
## 【符号の説明】

- 1・・・液晶表示パネル
- 2-1～2-10・・・データドライバ I C
- 3-1～3-4・・・ゲートドライバ I C
- 8・・・データ信号線
- 9・・・クロック信号線
- 10・・・終端回路
- 15-1～15-10・・・データドライバ I C
- 16-1～16-10・・・ダミー端子
- 18、79・・・反転クロック信号線
- 19、80・・・終端回路
- 85・・・奇数ドット用データ信号線
- 86・・・偶数ドット用データ信号線
- 88-1～88-10・・・データドライバ I C
- 96-1～96-10・・・データドライバ I C

【書類名】

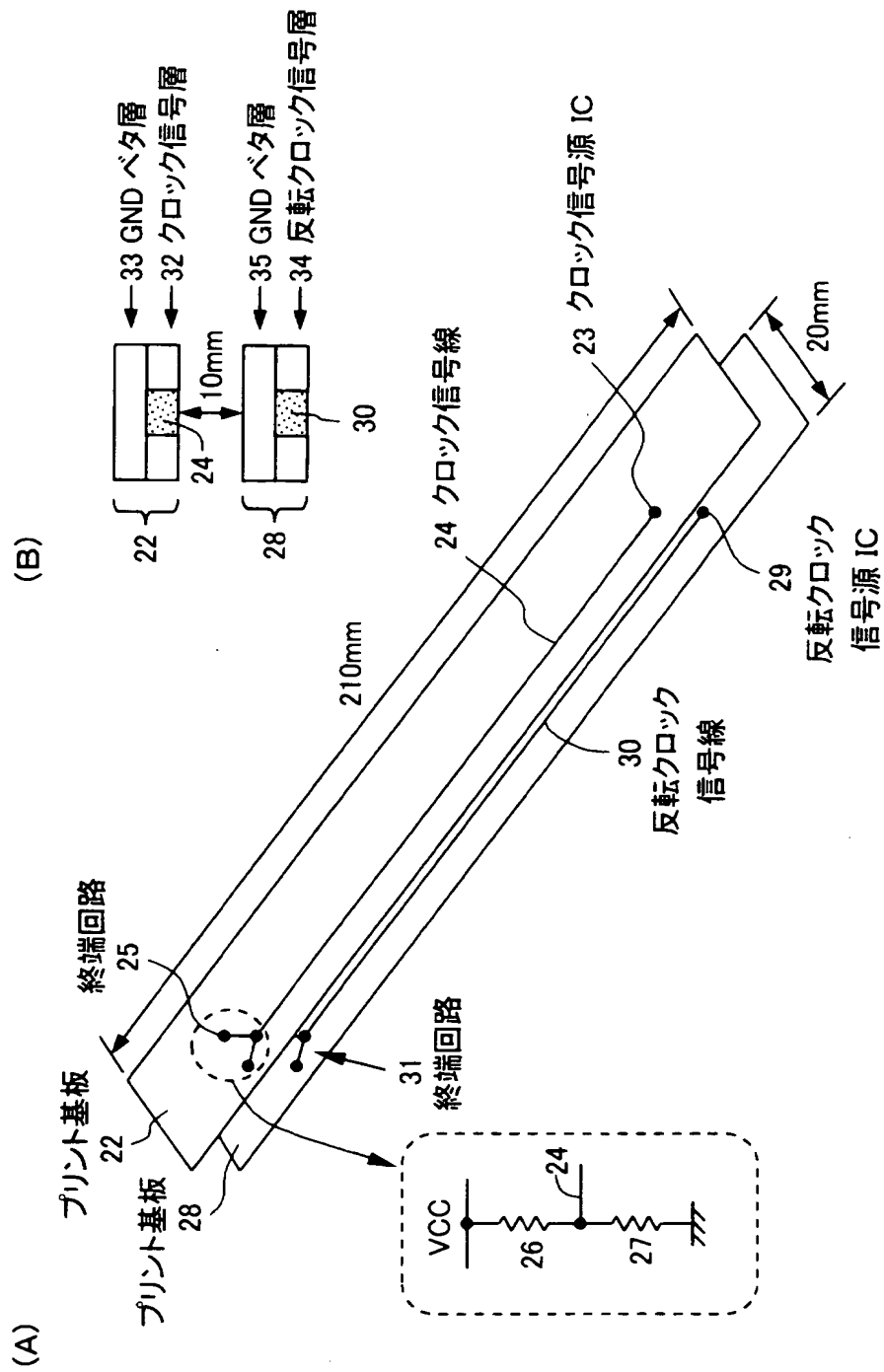
凶面

【図 1】



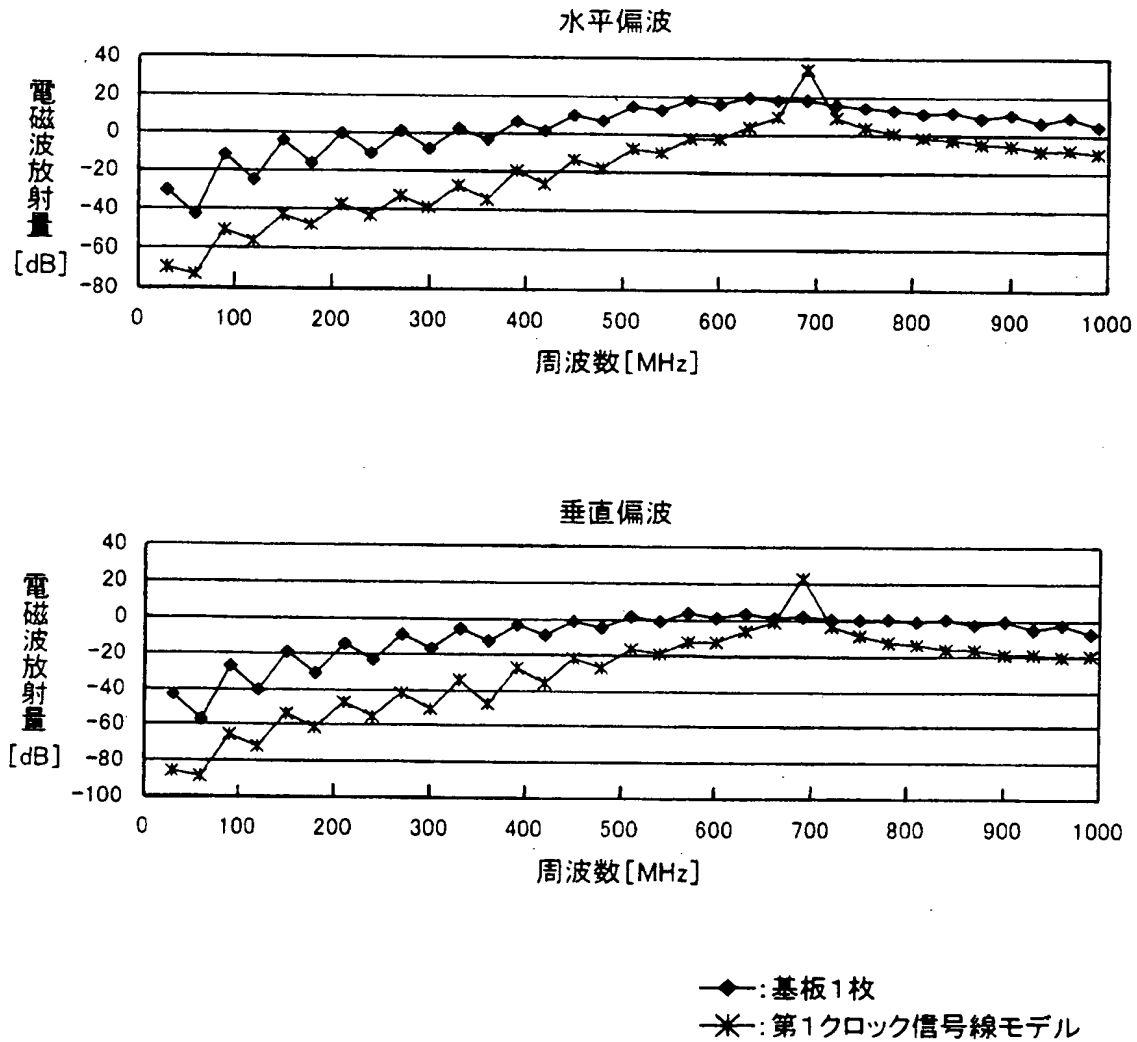
【図 2】

第1シミュレーションに使用した第1クロック信号線モデル



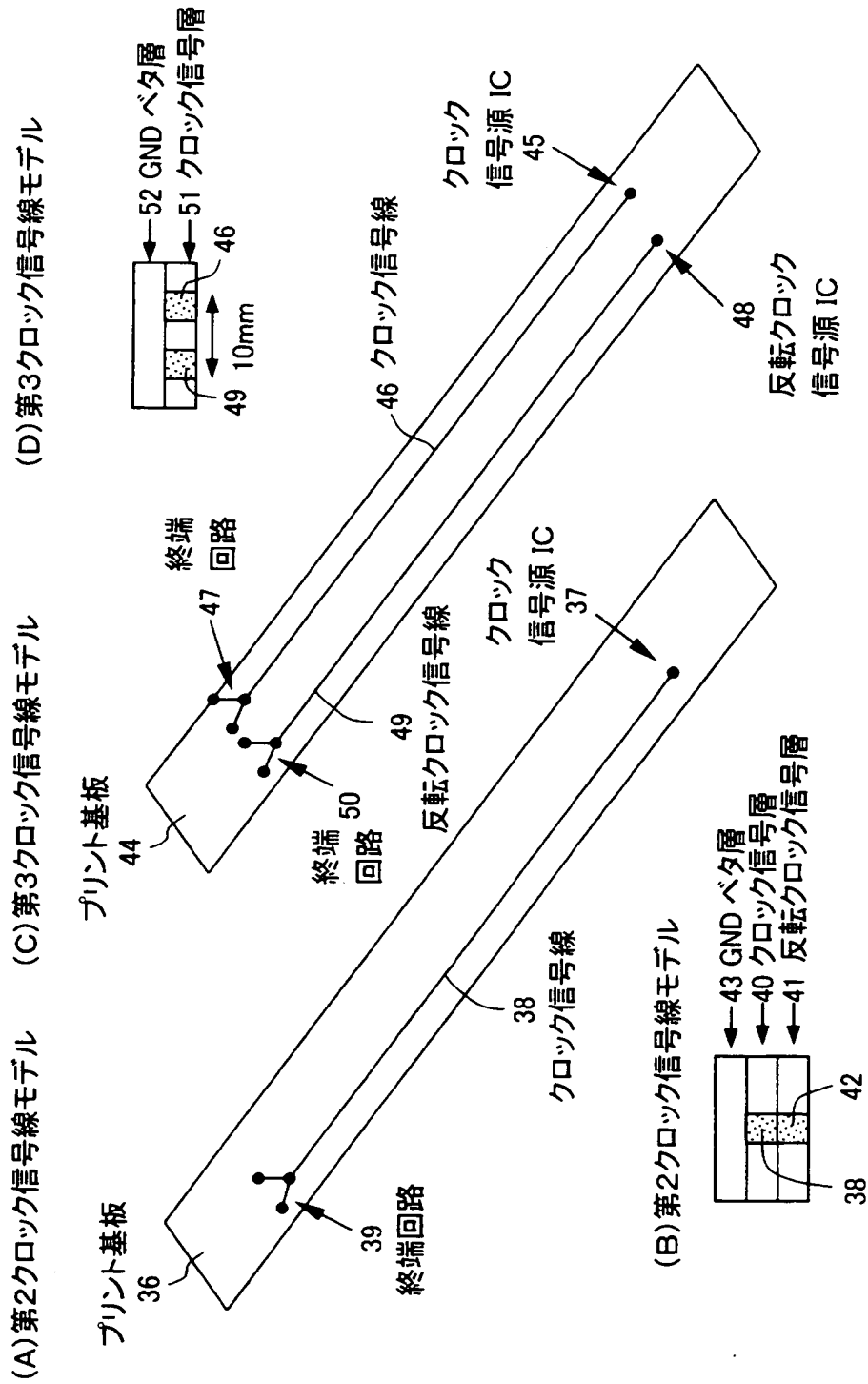
【図 3】

## 第1シミュレーションの結果



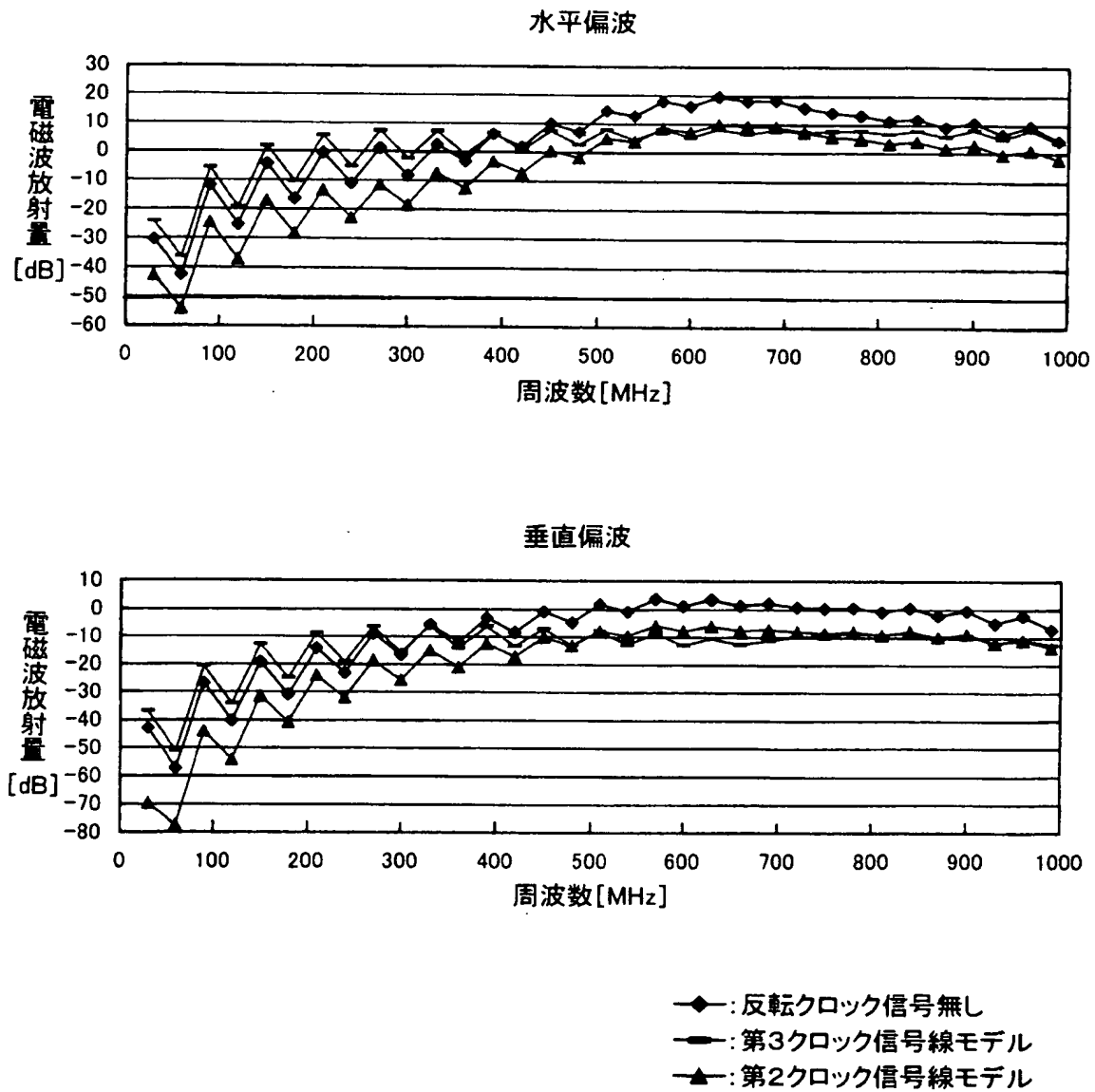
【図 4】

第2シミュレーションに使用したクロック信号線モデル



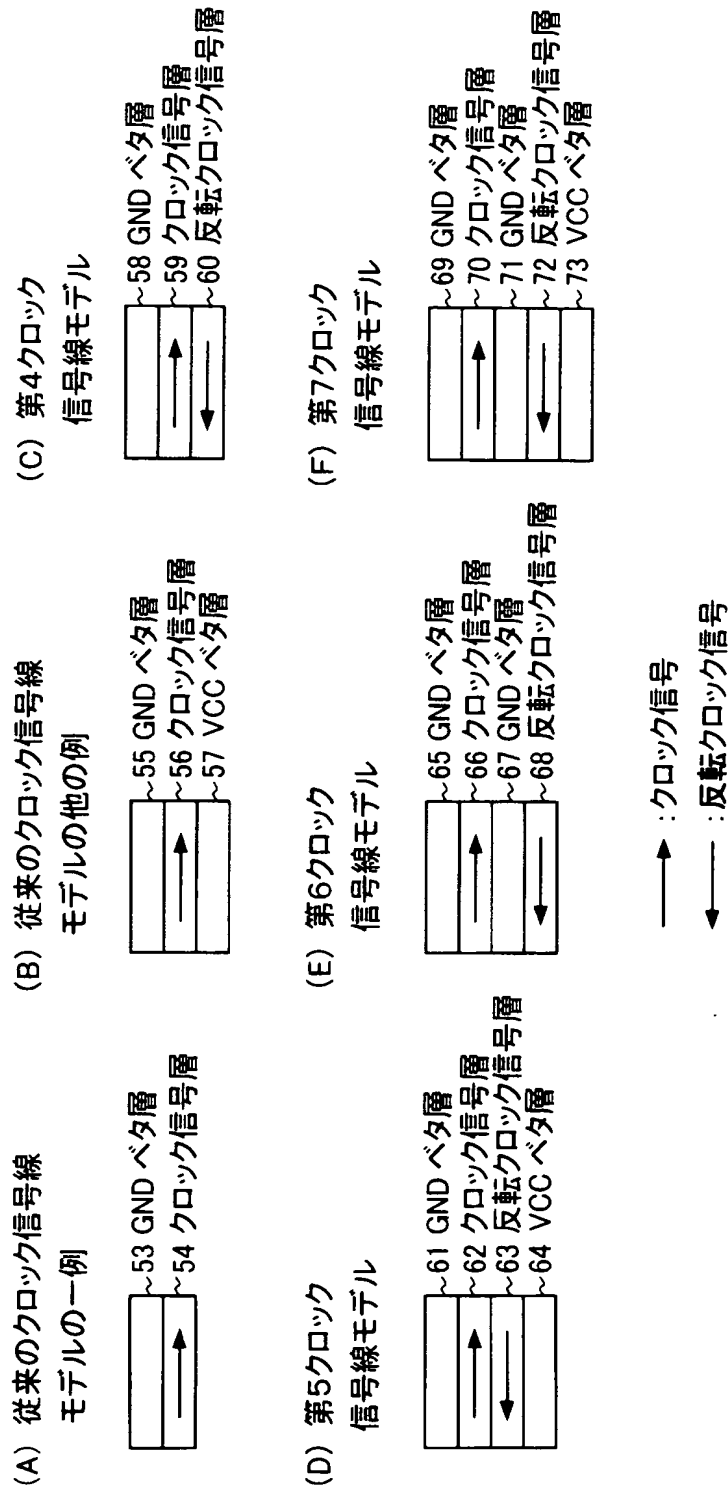
【図 5】

第2シミュレーションの結果



【図 6】

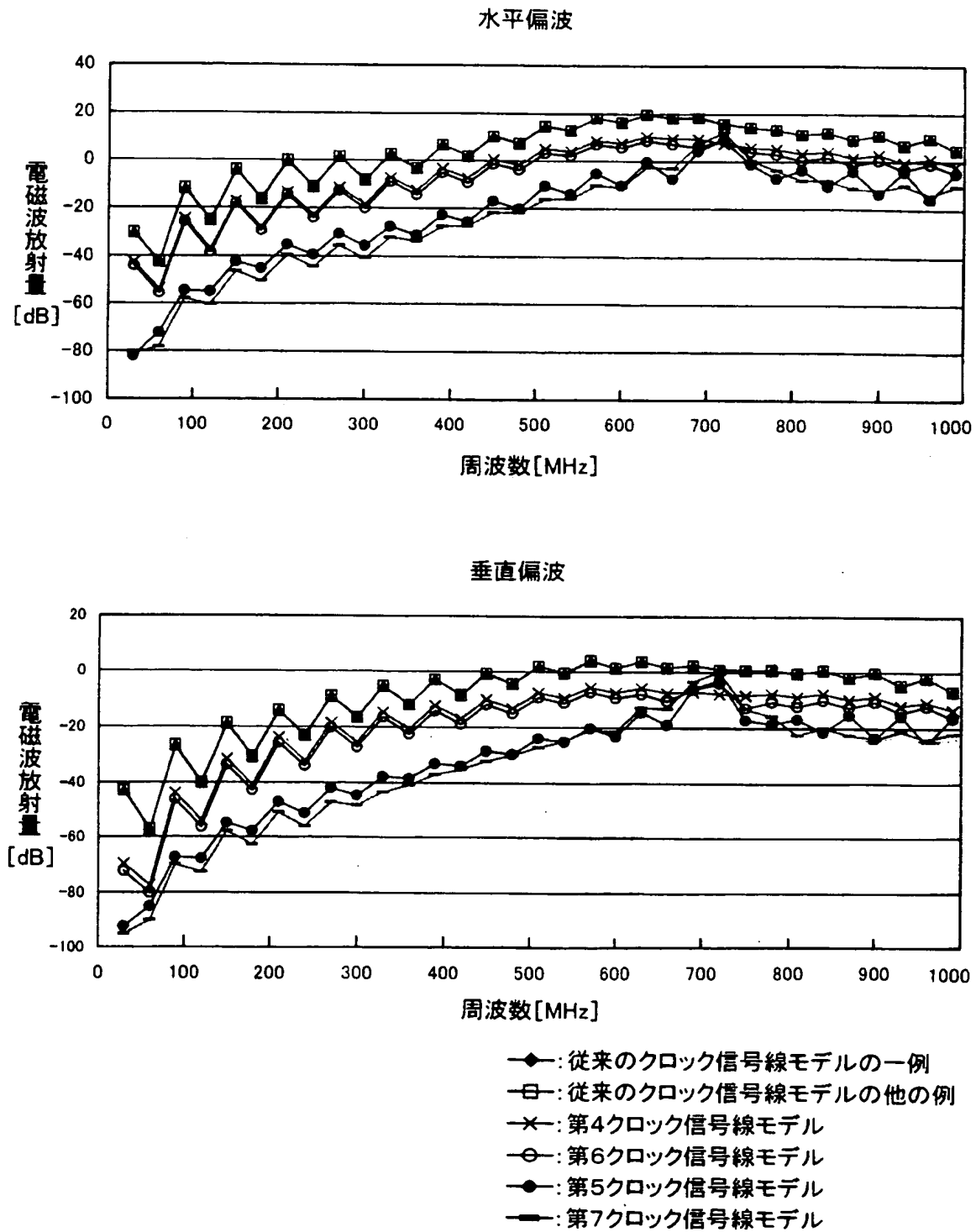
第3シミュレーションに使用したクロック信号線モデル





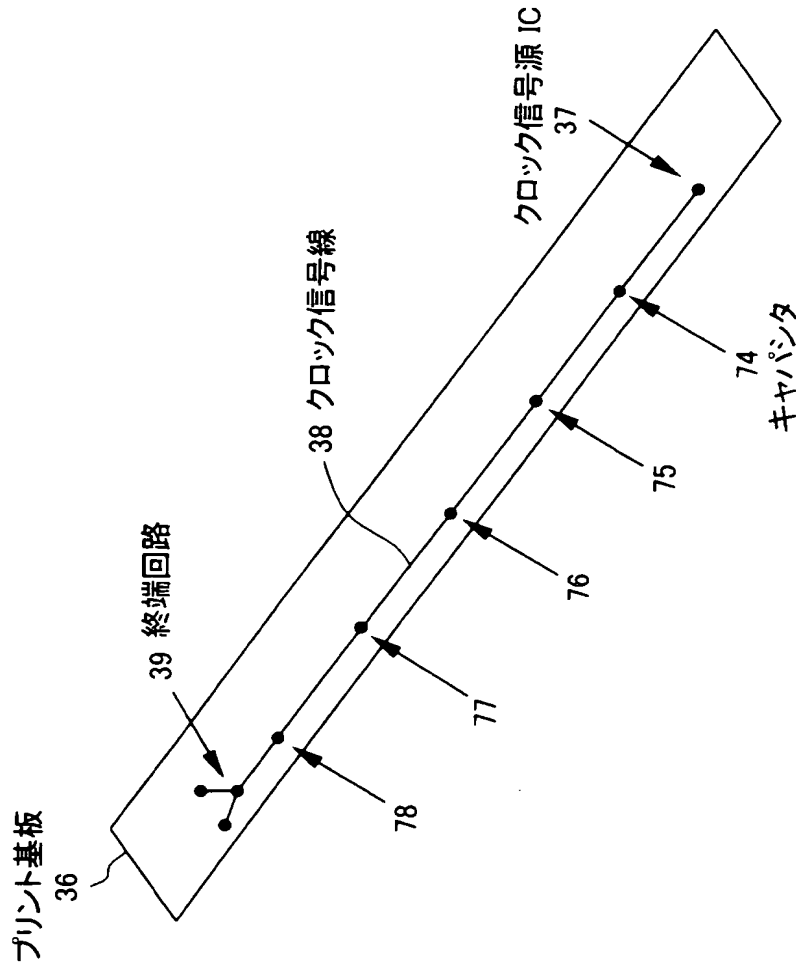
【図 7】

## 第3シミュレーションの結果



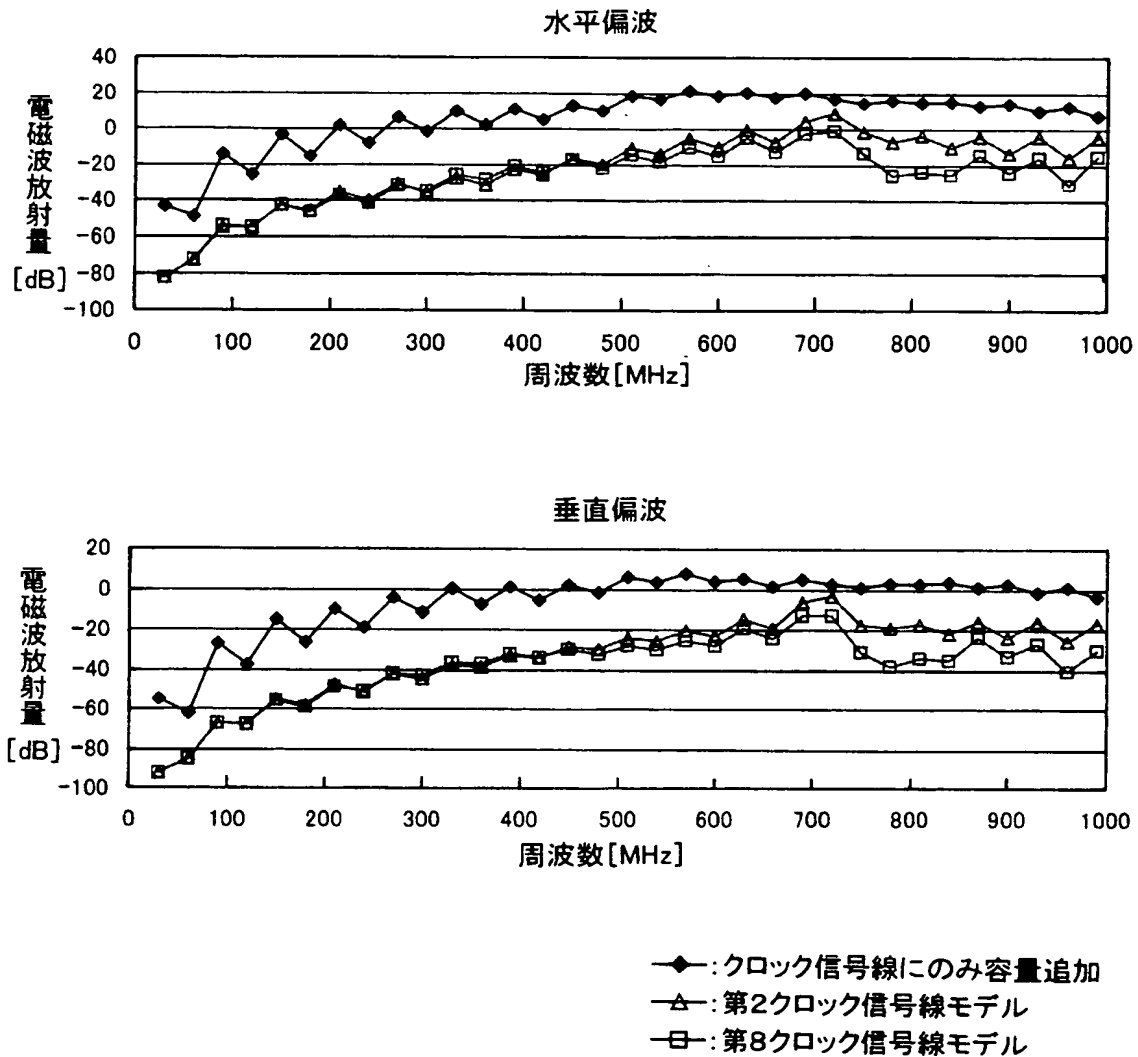
【図 8】

第4シミュレーションに使用した第8クロック信号線モデル

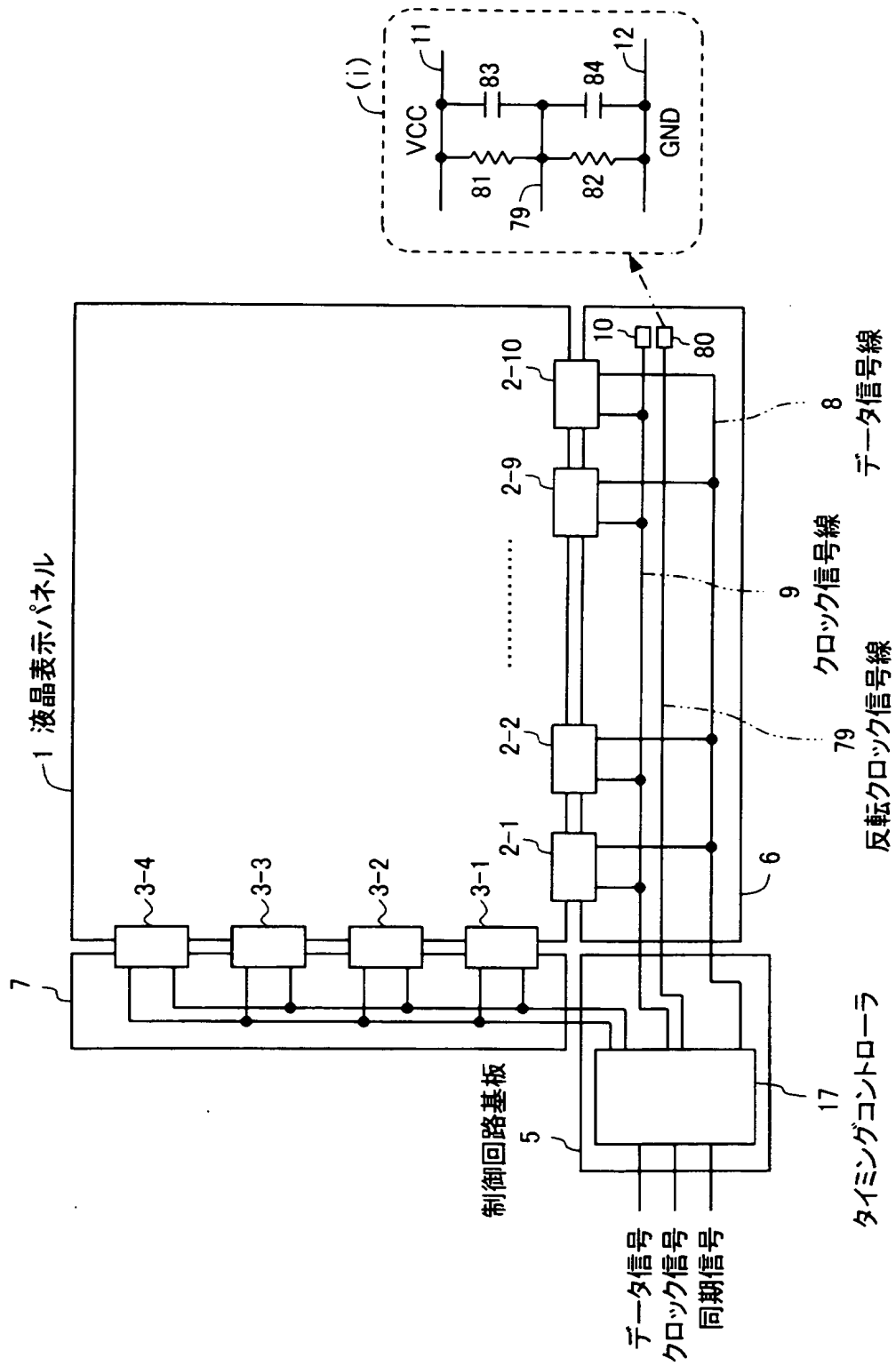


【図 9】

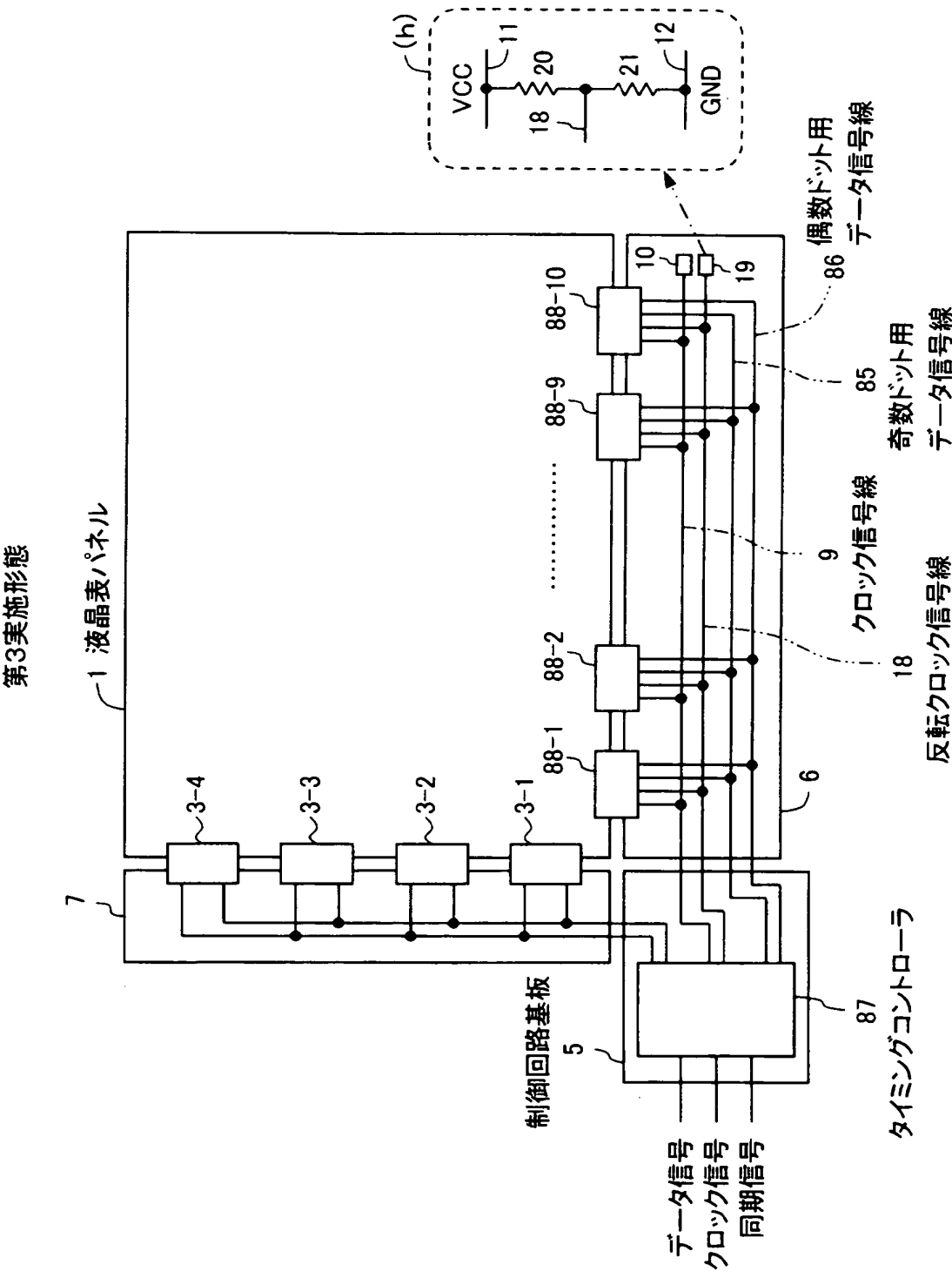
第4シミュレーションの結果



【図 10】

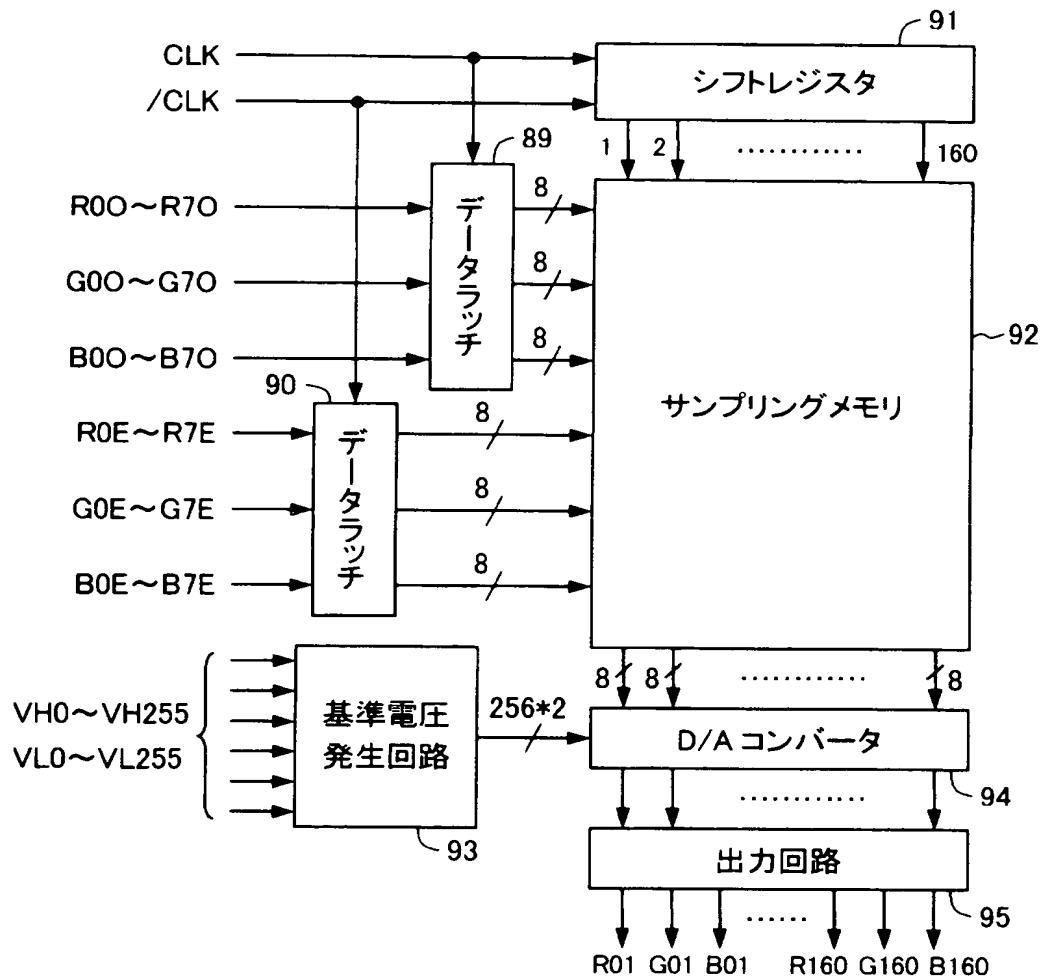


【図 11】



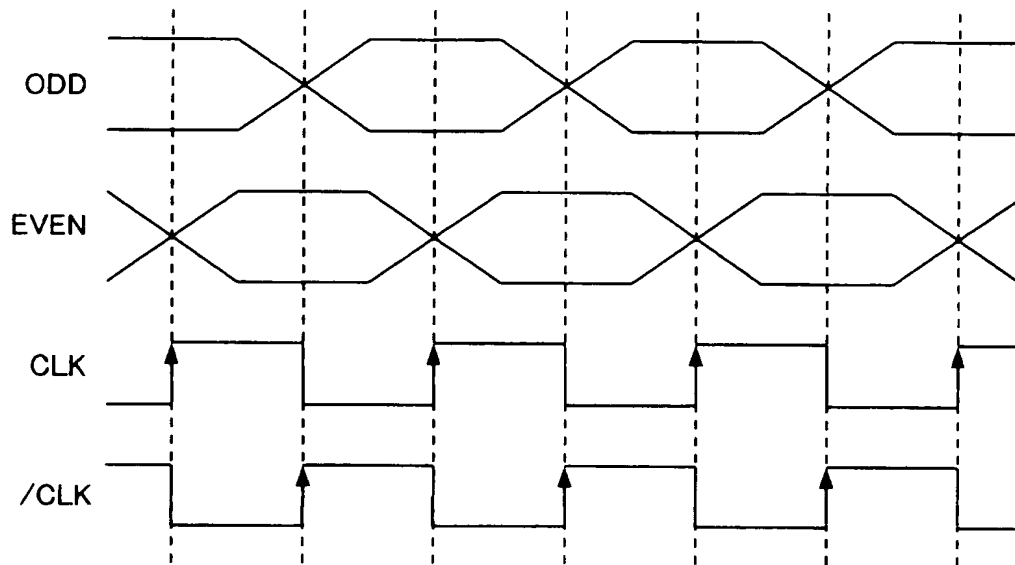
【図 12】

データドライバIC88-1~88-10の構成



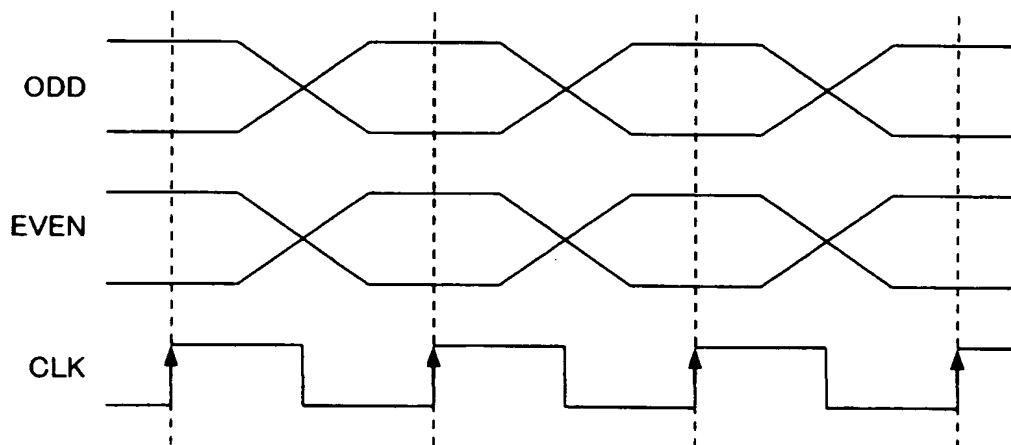
【図 13】

第3実施形態の動作を示すタイミングチャート

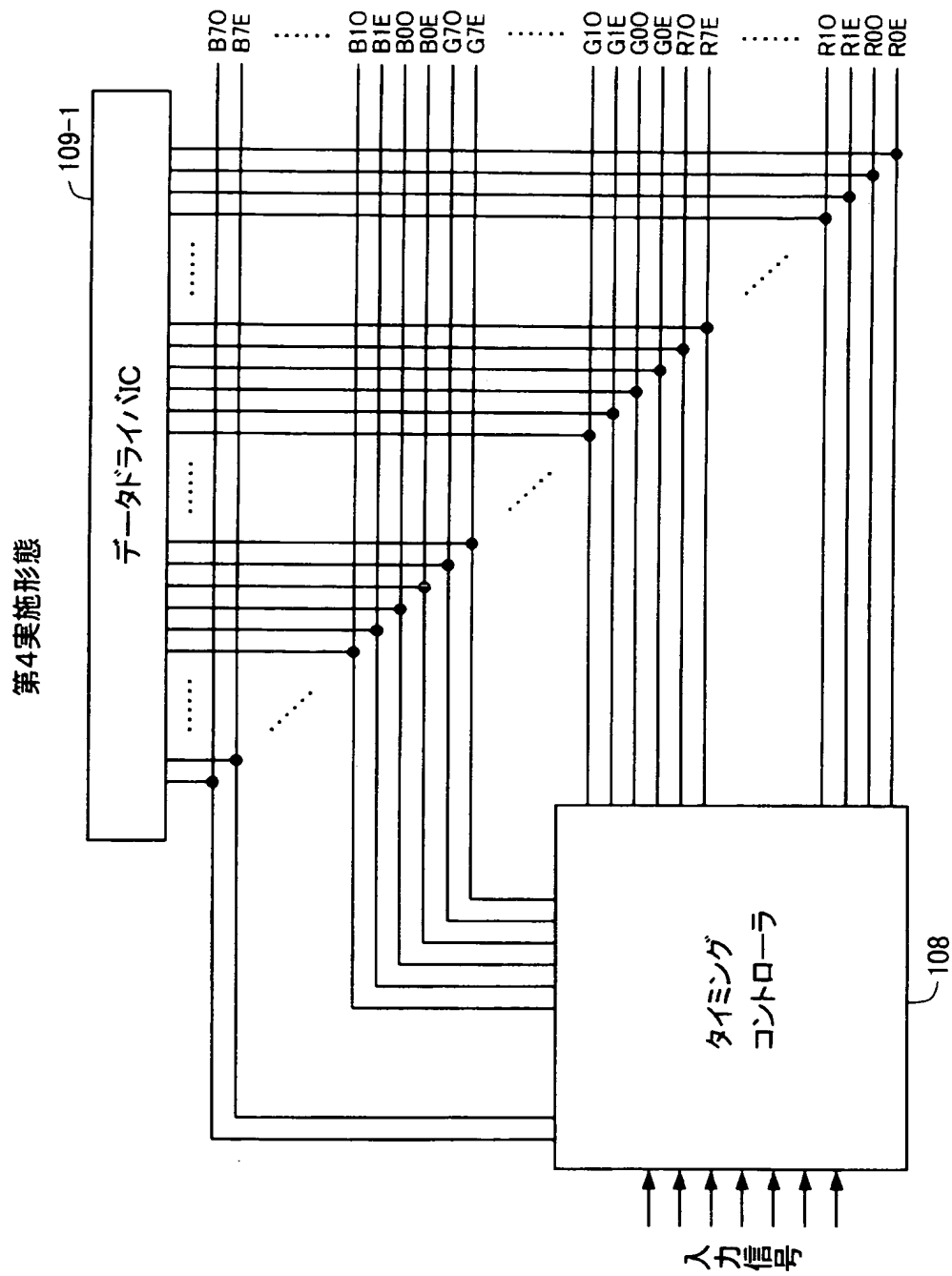


【図 14】

図19に示す従来の液晶表示装置の動作を示すタイミングチャート



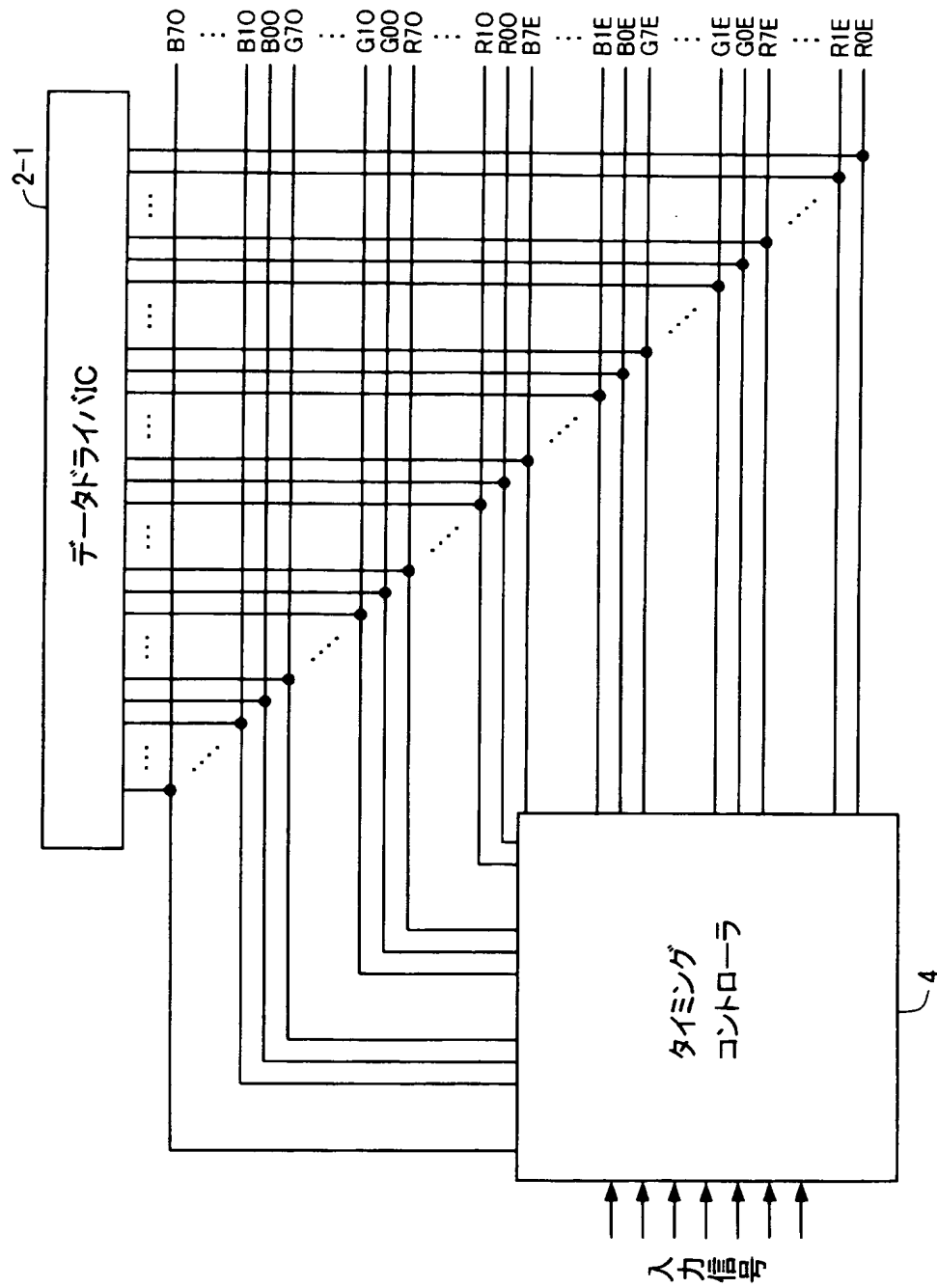
【図 15】



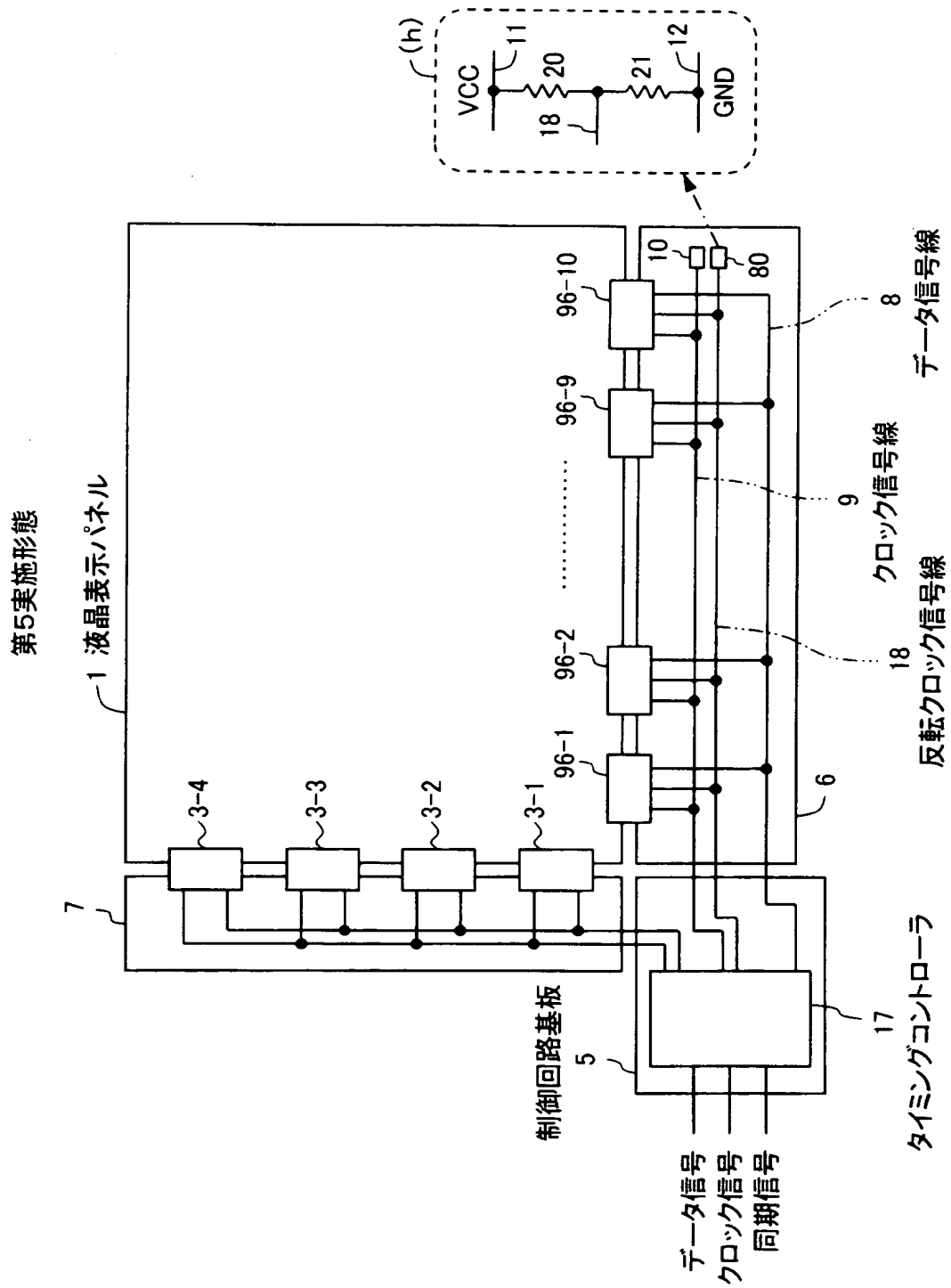


【図 16】

図19に示す従来の液晶表示装置

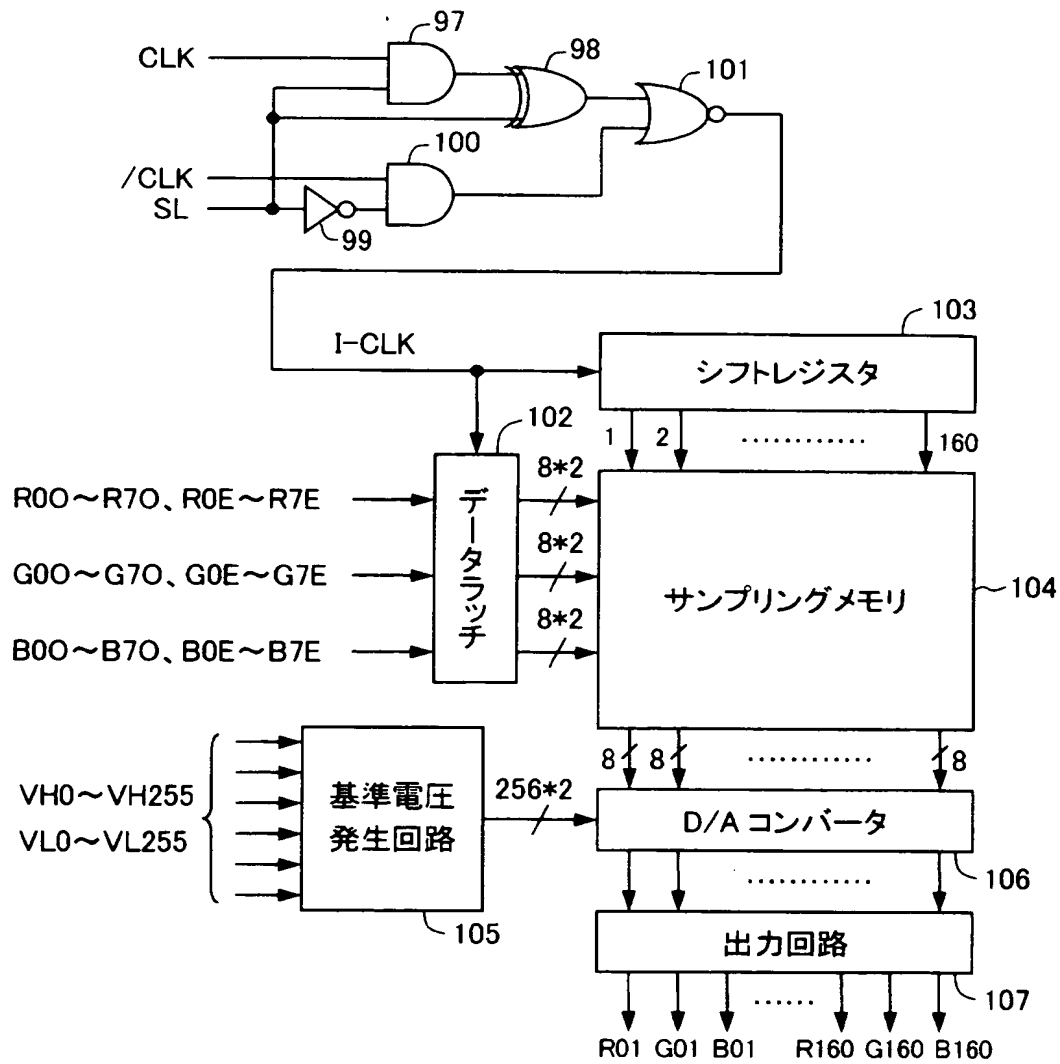


【図 17】



【図 18】

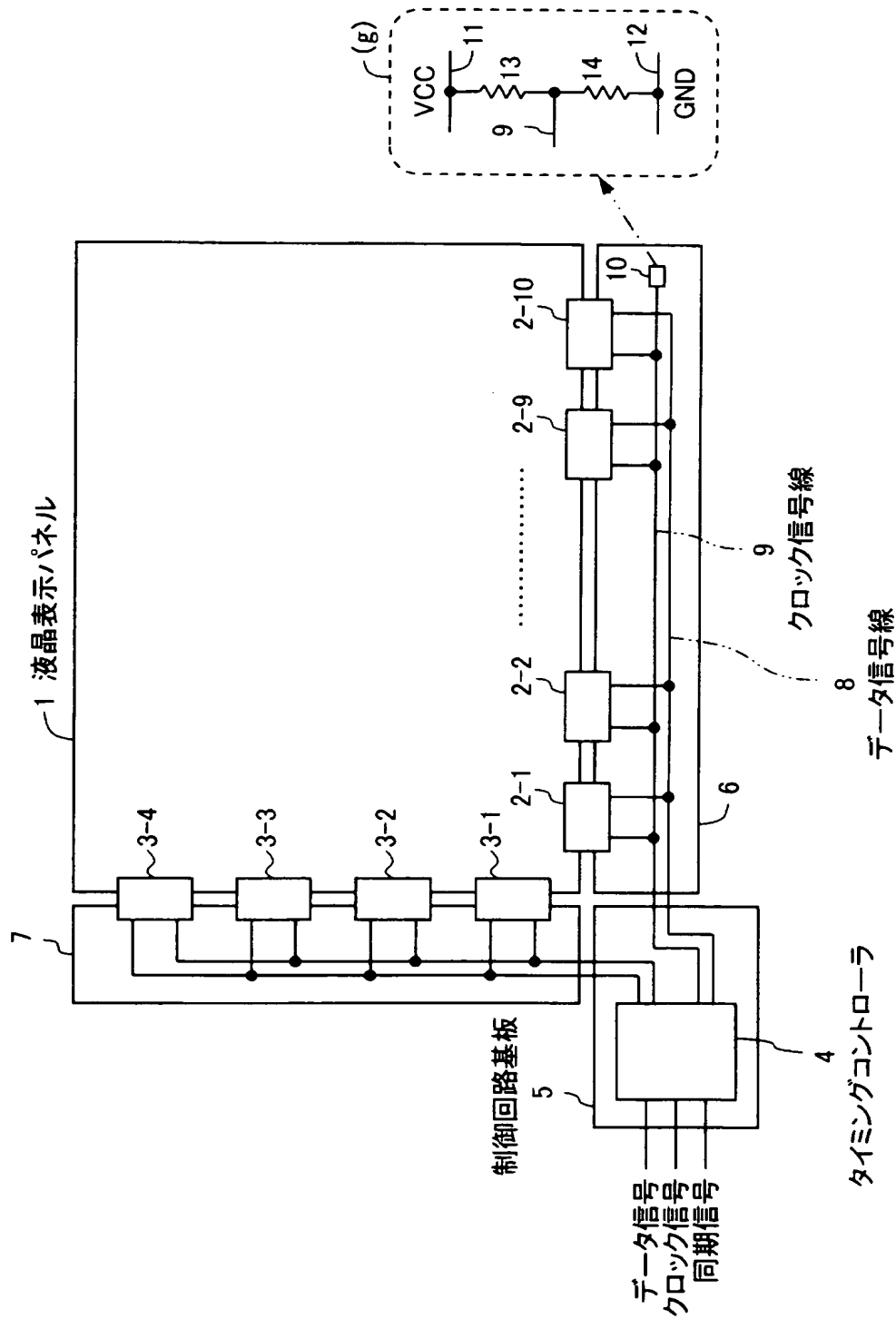
データドライバIC96-1~96-10の構成



SL { H: 立ち上がり取り込み  
L: 立ち下がり取り込み

【図 19】

従来の液晶表示装置の一例の要部を示す概略的構成図





【書類名】 要約書

【要約】

【課題】 クロック信号やデータ信号を原因とする電磁波放射を効果的に低減することができるようにした液晶表示装置を提供する。

【解決手段】 タイミングコントローラ 1 7 は、クロック信号及び反転クロック信号を出力する。クロック信号及び反転クロック信号は、それぞれ平行して配置されているクロック信号線 9 及び反転クロック信号線 1 8 を伝送する。クロック信号線 9 は、データドライバ I C 1 5 - 1 ~ 1 5 - 1 0 の正規の端子に接続され、反転クロック信号線 1 8 は、データドライバ I C 1 5 - 1 ~ 1 5 - 1 0 のダミー端子 1 6 - 1 ~ 1 6 - 1 0 に接続されている。

【選択図】 図 1

特願 2 0 0 3 - 0 9 3 9 0 3

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 3 6 0 0 2 ]

1. 変更年月日

2 0 0 2 年 6 月 1 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通ディスプレイテクノロジーズ株式会社